

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: SEung-Hwan MOON, *et al.* Art Unit: TBD  
Appl. No.: To Be Assigned Examiner: TBD  
Filed: Concurrently Herewith Atty. Docket: 6192.0299.US

For: **AMORPHOUS-SILICON THIN FILM  
TRANSISTOR AND SHIFT RESISTER  
HAVING THE SAME**

**Claim For Priority Under 35 U.S.C. § 119 In Utility Application**

Commissioner for Patents  
Alexandria, VA 22313

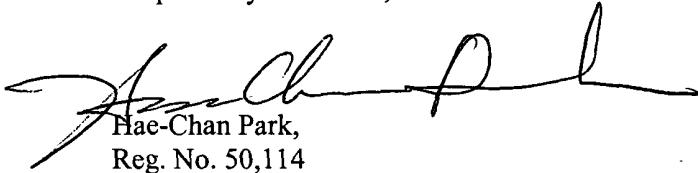
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	2003-0013363	March 4, 2003

A certified copy of Korean Patent Application No. 2002-0013363 is submitted herewith. Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,



Hae-Chan Park,  
Reg. No. 50,114

Date: June 27, 2003

McGuireWoods LLP  
1750 Tysons Boulevard  
Suite 1800  
McLean, VA 22102  
Telephone No. 703-712-5365  
Facsimile No. 703-712-5280

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0013363  
Application Number

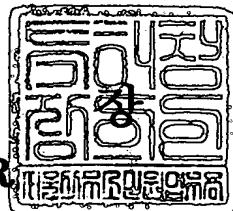
출원년월일 : 2003년 03월 04일  
Date of Application MAR 04, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 04 월 04 일



특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.04
【발명의 명칭】	비정질 -실리콘 박막 트랜지스터와 이를 갖는 쉬프트 레지스터
【발명의 영문명칭】	AMORPHOUS-SILICON THIN FILM TRANSISTOR AND SHIFT REGISTER HAVING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이백원
【성명의 영문표기】	LEE, Back Won
【주민등록번호】	740812-1057931
【우편번호】	137-829
【주소】	서울특별시 서초구 방배본동 779-7번지 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	문승환
【성명의 영문표기】	MOON, Seung Hwan
【주민등록번호】	650315-1932318
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 현대I-PARK 6차 A. 205-1504(만현마을)
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. <span style="float: right;">박영 리인 우 (인)</span>

1020030013363

출력 일자: 2003/4/7

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】			43,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	



1020030013363

출력 일자: 2003/4/7

### 【요약서】

#### 【요약】

기생용량을 최소화하기 위한 비정질-실리콘 박막 트랜지스터와 이를 갖는 쉬프트 레지스터가 개시된다. 게이트 전극 영역은 기판 위에 형성되어 일정 영역을 정의하고, 소오스 전극 라인은 게이트 전극 영역 외측으로부터 신장되어 게이트 전극 영역 위에 형성되며, 드레인 전극 라인은 U자 형상의 제1 단부와 제2 단부를 연결하는 가상의 라인을 통해 폐루프를 정의할 때, 게이트 전극 라인 외측으로부터 신장되어 I자 형상을 정의하면서 게이트 전극 영역 위의 폐루프 내측으로 삽입되는 형상으로 형성된다. 이에 따라, 게이트-드레인간 기생용량을 최소화하므로써, 기생용량이 비정질-실리콘 박막 트랜지스터의 드레인-게이트간 커플링 캐패시터로 동작하는 것을 최소화시킬 수 있다.

#### 【대표도】

도 6

#### 【색인어】

트랜지스터, 기생용량, 커플링 캐패시터, 게이트, 평거

**【명세서】****【발명의 명칭】**

비정질-실리콘 박막 트랜지스터와 이를 갖는 쉬프트 레지스터{AMORPHOUS-SILICON THIN FILM TRANSISTOR AND SHIFT REGISTER HAVING THE SAME}

**【도면의 간단한 설명】**

도 1은 일반적인 쉬프트 레지스터를 설명하기 위한 도면이다.

도 2는 상기한 도 1에 의한 게이트 구동 회로를 설명하기 위한 도면이다.

도 3a 내지 도 3c는 상기한 도 1의 시프트 레지스터의 단위 스테이지를 등가적으로 설명하기 위한 도면이다.

도 4는 본 발명의 일실시예에 따른 비정질-실리콘 박막 트랜지스터를 설명하기 위한 도면이다.

도 5a 및 도 5b는 상기한 도 4의 비정질-실리콘 박막 트랜지스터를 절단선 A-A', B-B'로 절단한 절단면도이다.

도 6은 본 발명의 다른 실시예에 따른 비정질-실리콘 박막 트랜지스터를 설명하기 위한 도면이다.

도 7a 내지 도 7c는 상기 도 6의 비정질-실리콘 박막 트랜지스터의 절단면도이다.

**<도면의 주요부분에 대한 부호의 설명>**

210, 310 : 게이트 전극 라인 215, 315 : 게이트 절연막

220, 320 : 반도체 층 225, 325 : 불순물 반도체 층

230, 350 : 소오스 전극 라인 240, 330 : 드레인 전극 라인

245 : 보호막 332 : 바디-드레인 라인

334 : 핸드-드레인 라인 336 : 평거-드레인 라인

352 : 바디-소오스 라인 354 : 핸드-소오스 라인

356 : 평거-소오스 라인

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 비정질 박막 트랜지스터와 이를 갖는 쉬프트 레지스터에 관한 것으로, 보다 상세하게는 기생용량을 최소화하기 위한 비정질-실리콘 박막 트랜지스터와 이를 갖는 쉬프트 레지스터에 관한 것이다.
- <17> 근래 들어, 액정 표시 장치는 TCP(Tape Carrier Package) 또는 COG(Chip On Glass) 등의 방법으로 게이트 구동 IC를 장착하고 있다. 하지만, 제조 원가나 기구 설계적인 측면에서 상기한 제품의 구조에는 한계가 있어 상기 게이트 구동 IC의 사용을 배제하는 구조(이하, GATE IC-Less 구조)를 강구하는데 이는 비정질-실리콘 박막 트랜지스터(이하, a-Si 박막 트랜지스터)를 이용하여 게이트 구동 IC와 같은 동작을 수행토록 하는 것이다.
- <18> 이를 위한 a-Si TFT 회로가 미국 특허등록번호 제5,517,542호뿐만 아니라, 본 출원인에 의해 출원된 대한민국 특허출원 제2002-3398호(공개번호 제2002-66965호) 등에 개시되어 있다. 특히 상기 특허출원 제2002-3398호에서 개시하는 쉬프트

레지스터 회로는 가장 적은 수의 7개의 비정질-실리콘 박막 트랜지스터와 외부 입력 배선이 가능하도록 개발되었다.

- <19> 도 1은 일반적인 쉬프트 레지스터를 설명하기 위한 도면으로, 특히 대한민국 특허 출원 제2002-3398호에서 개시하는 게이트 드라이버 IC로 동작하는 쉬프트 레지스터의 스테이지를 설명한다.
- <20> 도 1을 참조하면, 쉬프트 레지스터의 각 스테이지는 풀업부(110), 풀다운부(120), 풀업구동부(130) 및 풀다운구동부(140)를 포함하여, 스캔개시신호(STV) 또는 이전 스텝이지의 출력 신호를 근거로 게이트 신호(또는 스캔 신호)를 출력한다. 이때 스텝이지가 쉬프트 레지스터의 첫번째 스텝이지인 경우에는 타이밍 제어부(미도시)로부터 제공되는 스캔개시신호(STV)를 근거로 게이트 신호를 출력하고, 나머지 스텝이지인 경우에는 이전 스텝이지로부터 출력되는 게이트 신호를 근거로 게이트 신호를 출력한다.
- <21> 상기한 쉬프트 레지스터는 하기하는 도 2와 같이 TFT 패널 내에 집적되어 게이트 구동 회로와 같은 동작을 수행하게 된다.
- <22> 도 2는 상기한 도 1에 의한 게이트 구동 회로를 설명하기 위한 도면이다.
- <23> 도 1 및 도 2를 참조하면, N개의 게이트 신호(또는 주사 신호)(GOUT[1], GOUT[2], ... GOUT[N])를 출력하는 게이트 구동 회로(174)에는 N개의 스텝이지들이 구비된다.
- <24> 첫번째 스텝이지는 타이밍 제어부(미도시)로부터 제공되는 스캔개시신호(STV), 타이밍 제어부(미도시)로부터 제공되는 게이트 온/오프 전압(VON/VOFF), 제1 파워 클럭(CKV)을 각각 제공받아 첫번째 게이트 라인의 선택을 위한 제1 게이트 신호(GOUT[1])를 출력함과 함께 두번째 스텝이지의 입력단(IN)에 출력한다.

- <25> 두번째 스테이지는 이전 스테이지로부터 제공되는 제1 게이트 신호(GOUT[1])와, 상기 게이트 온/오프 전압(VON/VOFF), 제2 파워 클럭(CKVB)을 각각 제공받아 두번째 게이트 라인의 선택을 위한 제2 게이트 신호(GOUT[2])를 출력함과 함께 세번째 스테이지의 입력단(IN)에 출력한다.
- <26> 상기한 방식에 의해 N번째 스테이지는 N-1번째 스테이지로부터 제공되는 제(N-1) 게이트 신호(GOUT[N-1])와, 외부로부터 제공되는 게이트 온/오프 전압(VON/VOFF), 제2 파워 클럭(CKVB)을 각각 제공받아 N번째 게이트 라인의 선택을 위한 제N 게이트 신호(GOUT[N])를 출력단자(OUT)를 통해 출력한다.
- <27> 상기한 쉬프트 레지스터를 구성하는 단위 스테이지는 하기하는 도 3a와 같이 하나의 S/R 래치(21)와 하나의 앤드 게이트(22)로 구성되는 로직 게이트로 표현할 수 있고, 이의 동작은 도 3b에 도시한 파형도와 같다.
- <28> 하지만, 상기 S/R 래치(21)는 다양하게 구성할 수 있으나, 상기 S/R 래치(21)로부터 출력되는 Q값에 의해 CK1을 샘플링하는 풀다운 트랜지스터는 도 3c에 도시한 바와 같이, 반드시 필요하다.
- <29> 그런데, 상기 풀업부(110)의 NMOS 트랜지스터(Q1)는 비정질-실리콘 박막 트랜지스터로 구현되므로 매우 작은 전자 이동도를 갖고, 대형화된 액정 표시 장치를 구동하기 위해서는 고전압 진폭, 예를 들어, 20V 내지 -14V 정도의 게이트 폴스를 게이트 라인에 인가해야하므로 매우 큰 사이즈가 될 수밖에 없다. 특히, 12.1인치(30.734cm)를 사용하는 XGA급의 경우에는 하나의 게이트 라인의 기생용량이 250 내지 300pF 정도이고, 이를 최소 디자인 룰인  $4\mu m$ 로 설계한 a-Si 박막 트랜지스터로 구동하고자 하면, 채널길이(L)가  $4\mu m$ 일 때 채널폭(W)이  $5500\mu m$  정도가 필요하다.

<30> 따라서 게이트 라인을 구동하기 위한 NMOS 타입의 a-Si 박막 트랜지스터(Q1)의 기생용량인 게이트-드레인간 기생용량( $C_{gd}$ )은 커질 수밖에 없다. 상기 기생용량( $C_{gd}$ )은 3pF 정도로서 a-Si 박막 트랜지스터로 구성되는 게이트 드라이버 회로에 오동작이 발생되는 원인이 된다.

<31> 왜냐하면, 상기 기생용량( $C_{gd}$ )이 고진폭, 즉 20V 내지 -14V의 파워 클럭(CKV 또는 CKVB)과 연결되어 있고, 상기 기생용량( $C_{gd}$ )이 풀업 트랜지스터(Q1)의 드레인-게이트간 커플링 캐패시터로 동작하여 상기 풀업 트랜지스터(Q1)의 게이트에 원하지 않는 전압을 발생시킬 수 있기 때문이다. 예를 들어, 상기 커플링 캐패시터를 게이트 오프 전압(VOFF)으로 유지시키는 수단이 없는 경우에는 상기 풀업 트랜지스터(Q1)의 게이트 전압은 20V 내지 -14V의 파워 클럭(CKV 또는 CKVB)의 전위가 되고, 출력은 최대 20V에서 풀업 트랜지스터(Q1)의 문턱 전압( $V_{th}$ )을 감산한 전압이 발생되어 액정 패널의 게이트 라인에 인가되므로 이상 표시 현상이 발생될 수 있다.

<32> 따라서, a-Si 박막 트랜지스터로 구성되는 게이트 드라이버 IC에서는 풀업 트랜지스터(Q1)와 같이 스캔 펄스를 출력하는 a-Si 박막 트랜지스터의 게이트를 게이트 오프 전압(VOFF)으로 유지시키기 위해서는 상기한 도 1에 도시한 바와 같이, 홀드 기능을 수행하는 a-Si 박막 트랜지스터(Q5)(이하 홀드 트랜지스터)와 풀업 트랜지스터(Q1)가 동작한 후, 대부분의 시간 동안 스캔 펄스가 게이트 오프 전압(VOFF) 레벨이 되도록 풀다운 기능을 하는 a-Si 박막 트랜지스터(Q2)(이하, 풀다운 트랜지스터)가 필수적이다.

<33> 이때 상기 홀드 트랜지스터(Q5)는 대용량의 기생용량( $C_{gd}$ )이 커플링 캐패시터로서 고진폭, 즉 +20V 내지 -14V의 클럭 펄스(CK)와 연결되어 있으므로 커플링 전압을 풀업

트랜지스터(Q1)나 풀다운 트랜지스터(Q2)의 문턱 전압 이하로 유지시키기 위해서는 역시 큰 사이즈가 될 수밖에 없다.

<34> 이는 좁은 블랙 매트릭스 영역이나 실 라인(Seal line) 영역에 a-Si 박막 트랜지스터로 구성되는 게이트 드라이버 회로의 레이아웃하는데 문제점이 있고, 상기 홀드 트랜지스터(Q5)가 열화되어 전류 구동 능력이 저하되면 오동작의 발생이 용이하여 액정 표시 장치의 신뢰성을 저감시키는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 오동작의 원인이 되는 기생용량을 최소화하기 위한 비정질-실리콘 박막 트랜지스터를 제공하는 것이다.

<36> 또한, 본 발명의 다른 목적은 상기한 비정질-실리콘 박막 트랜지스터를 갖는 쉬프트 레지스터를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<37> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 비정질-실리콘 박막 트랜지스터는, 기판; 상기 기판 위에 형성되어 일정 영역을 정의하는 제1 전극 영역; 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 영역 위에 형성되며, U자 형상을 정의하는 제2 전극 라인; 및 상기 U자 형상의 제1 단부와 제2 단부를 연결하는 가상의 라인을 통해 폐루프를 정의할 때, 상기 제1 전극 라인 외측으로부터 신장되어 I자 형상을 정의하면서 상기 제1 전극 영역 위의 상기 폐루프 내측으로 삽입되는 형상으로 형성된 제3 전극 라인을 포함하여 이루어진다.

<38> 또한, 상기한 본 발명의 목적을 실현하기 위한 다른 하나의 특징에 따른 비정질-실리콘 박막 트랜지스터는, 기판; 상기 기판 위에 형성되어 일정 영역을 정의하는 제1 전극 영역; 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 다수의 평거 형상으로 형성되는 제3 전극 라인; 및 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 상기 제3 전극 라인으로부터 이격되며, 다수의 평거 형상으로 형성되는 제2 전극 라인을 포함하여 이루어진다.

<39> 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터는, 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 충전 시간을 줄이기 위한 제1 제어신호가 제공되고, 짹수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 충전 시간을 줄이기 위한 제2 제어신호가 제공되며, 상기 각 스테이지들은, 일정 영역을 정의하는 제1 전극 영역과, 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 다수의 평거 형상으로 형성되는 제3 전극 라인과, 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 상기 제3 전극 라인으로부터 이격되며, 다수의 평거 형상으로 형성되는 제2 전극 라인을 구비하여, 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턠-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턠-오프시키는 풀업구동부; 상기 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀

다운부를 턴-오프시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하여 이루어진다.

<40> 이러한 비정질-실리콘 박막 트랜지스터와 이를 갖는 쉬프트 레지스터에 의하면, 게이트-드레인간 기생용량을 최소화하므로써, 상기 기생용량이 비정질-실리콘 박막 트랜지스터의 드레인-게이트간 커플링 캐패시터로 동작하는 것을 최소화시킬 수 있다.

<41> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<42> 도 4는 본 발명의 일실시예에 따른 비정질-실리콘 박막 트랜지스터를 설명하기 위한 도면으로, 특히 기생용량을 최소화하기 위한 비정질-실리콘 박막 트랜지스터를 설명하기 위한 도면이다.

<43> 도 4에 도시한 바와 같이, 일정 영역을 정의하는 제1 전극 라인(210) 위에 U자 형상을 정의하는 제2 전극 라인(230)을 형성하고, 상기 제2 전극 라인(230)이 미형성된 영역, 즉 상기 U자 형상의 제1 단부와 제2 단부를 연결하는 가상의 라인을 통해 폐루프를 정의할 때, 상기 제1 전극 라인(210) 외측으로부터 신장되어 I자 형상을 정의하면서 상기 제1 전극 라인(210)이 형성된 영역 위의 상기 폐루프 내측으로 삽입되는 형상으로 제3 전극 라인(240)을 형성한다.

<44> 여기서, 상기 제1 전극 라인(210)을 게이트 전극 라인으로 하고, 상기 제2 전극 라인(230)을 드레인 전극 라인으로 하면, 상기 제3 전극 라인(240)은 소오스 전극 라인이 다. 하지만, 이하에서는 상기 제1 전극 라인(210)을 게이트 전극 라인으로, 상기 제2 전극 라인(230)을 소오스 전극 라인으로, 그리고 상기 제3 전극 라인(240)을 드레인 전극 라인으로 가정하여 설명한다.

<45> 바람직하게, 상기 U자 형상을 정의하는 소오스 전극 라인(230)은 상기 게이트 전극 라인(210)이 정의하는 영역의 외측에서 내측을 향하는 별도의 전극 라인을 더 포함하여 Y자 형상을 정의하고, 상기 I자 형상을 정의하는 드레인 전극 라인(240)은 상기 게이트 전극 라인(210)이 정의하는 영역의 외측에서 내측을 향하는 별도의 전극 라인을 더 포함하여 T자 형상을 정의한다. 이때 상기 드레인 전극 라인(240)에 별도로 구비되는 외부 전극 라인을 통해 전원을 공급받고, 상기 소오스 전극 라인(230)에 별도로 구비되는 외부 전극 라인을 통해 전원을 출력한다.

<46> 여기서, a-Si 박막 트랜지스터의 채널폭(W)은 게이트 전극 라인(210) 위에 형성되는 소오스 전극 라인(230) 및 드레인 전극 라인(240)에 의해 정의되는 영역의 평균 거리이고, a-Si 박막 트랜지스터의 채널길이(L)는 게이트 전극 라인(210) 위에 형성되는 소오스 전극 라인(230) 및 드레인 전극 라인(240)에 의해 정의되는 영역의 거리이다.

<47> 이처럼, U자 형상 또는 Y자 형상의 소오스 전극 라인을 형성하고, I자 형상 또는 T자 형상의 드레인 전극 라인을 상기 소오스 전극 라인이 미형성된 영역에 형성하므로써, a-Si 박막 트랜지스터의 특성을 정의하는 채널길이를 최소화시키더라도 채널폭을 최대화 시킬 수 있어 a-Si 박막 트랜지스터의 기생 용량을 최소화시킬 수 있다.

<48> 그러면, 하기하는 도 5a 및 도 5b를 참조하여 기생 용량을 최소화하기 위한 a-Si 박막 트랜지스터의 제조 방법을 설명한다.

<49> 도 5a 및 도 5b는 상기한 도 4의 비정질-실리콘 박막 트랜지스터를 절단선 A-A', B-B'로 절단한 절단면도로서, 특히 도 5a는 A-A'로 절단한 단면도이고, 도 5b는 B-B'로 절단한 단면도이다.

- <50> 도 5a 및 도 5b에 도시한 바와 같이, 투명 기판(205) 위에 알루미늄을 포함하는 금 속층을 전면 증착한 후 상기 알루미늄 금속층을 패터닝하여 저저항 게이트 전극 라인(210)을 형성한다. 물론 도면상에는 단일 금속층을 게이트 전극 라인으로 이용하는 것을 도시하였으나, 다중 금속층을 게이트 전극 라인으로 이용할 수도 있다. 상기 다중 금속 층을 이용하는 경우에는 상기 알루미늄 금속층 위에 크롬이나 몰리브덴과 같은 금속을 더 증착시킨다.
- <51> 이어, 게이트 전극 라인(210)이 형성된 투명 기판(205) 위에 산화 실리콘 혹은 질 화 실리콘과 같은 절연 물질을 전면 증착하고, 차례로 진성 반도체 물질과 불순물이 포 함된 반도체 물질을 연속 증착한다.
- <52> 이어, 상기 절연 물질, 진성 반도체 물질, 및 불순물이 첨가된 반도체 물질을 식각 하여 게이트 절연막(215), 반도체 층(220) 및 불순물이 첨가된 반도체 층(225)을 형성한다. 그 결과, 게이트 절연막(215)은 게이트 전극 라인(210) 전체를 덮고 있고, 반도체 층(220)과 불순물 반도체 층(225)은 게이트 절연막(215)과 같은 형태로 게이트 절연막(215)위에 형성된다.
- <53> 이어, 반도체 층(220)과 불순물 반도체 층(210)이 형성된 기판 위에 크롬이나 크롬 합금과 같은 금속을 전면 증착한다. 상기 금속층을 패터닝하여 게이트 전극 라인 위에서 U자 형상을 정의하는 소오스 전극 라인(230)과, I자 형상을 정의하는 드레인 전극 라인(240)을 형성한다. 관찰자 관점에서 보았을 때, 소오스 전극 라인(230)은 상기 드레인 전극 라인(240)을 감싸는 형태로 형성된다.
- <54> 또한, 상기 소오스 전극 라인(230)과 드레인 전극 라인(240)을 마스크로 계속 식각 하여 소오스 전극 라인(230)과 드레인 전극 라인(240) 사이에 존재하는 불순물 반도체층

을 완전 분리한다. 상기 소오스 전극 라인(230) 및 상기 드레인 전극 라인(240)들이 형성된 기판 전면에 질화 실리콘이나 산화 실리콘과 같은 절연 물질을 증착하여 보호막(245)을 형성한다.

<55> 이상에서는 투명 기판 위에 게이트 전극 라인을 형성한 후 상기 게이트 전극 라인 위에 드레인 전극 라인 및 소오스 전극 라인을 형성한 역 스태거형(Invetered Staggered Type) 구조를 설명하였다.

<56> 하지만, 투명 기판 위에 드레인 전극 라인 및 소오스 전극 라인을 형성한 후 상기 드레인 전극 라인 및 소오스 전극 라인 위에 게이트 전극 라인을 형성한 스태거형(Staggered Type) 구조에도 동일하게 적용할 수 있다. 상기한 스태거형 구조에 대해서는 별도의 도면을 이용한 설명은 생략한다.

<57> 그러면, 본 발명의 바람직한 실시예로서 a-Si 박막 트랜지스터로 구성되는 액정 표시 장치용 게이트 드라이버 회로에서 대용량의 풀업 트랜지스터를 구현하기 위하여 채널 폭을 크게 하고자 할 때 상기 기생용량( $C_{gd}$ )을 최소화하는 a-Si 박막 트랜지스터를 첨부하는 도 6을 참조하여 설명한다. 여기서는, 설명의 편의를 위해 상기 풀업 트랜지스터만 도시한다.

<58> 도 6은 본 발명의 다른 실시예에 따른 비정질-실리콘 박막 트랜지스터를 설명하기 위한 도면으로, 특히 GATE IC-LESS 구조의 액정 표시 장치용 쉬프트 레지스터에 채용되어 풀업 기능을 수행하는 비정질-실리콘 박막 트랜지스터를 도시한다.

<59> 도 6을 참조하면, 본 발명의 다른 실시예에 따른 비정질-실리콘 박막 트랜지스터는 기판(미도시) 위에 형성되어 일정 영역을 정의하는 게이트 전극 라인(310)과, 상기 게

이트 전극 라인 외측으로부터 신장되어 상기 게이트 전극 라인(310) 위에서 다수의 평거 형상으로 형성되는 드레인 전극 라인(330)과, 상기 게이트 전극 라인(310) 외측으로부터 신장되어 상기 게이트 전극 라인(310) 위에서 상기 드레인 전극 라인(330)으로부터 이격 되며, 다수의 평거 형상으로 형성되는 소오스 전극 라인(350)을 포함한다. 여기서, 설명의 편의상 메탈 전극부만을 도시하고, 상기 게이트 전극 라인 위에 형성되는 게이트 절연막이나 반도체층, 불순물 반도체층 등의 도시는 생략한다.

<60> 즉, 투명 기판(미도시) 위에 형성되는 게이트 전극 라인(310)은 U자 형상을 정의하고, 상기 게이트 전극 라인(310) 위에 형성되는 드레인 전극 라인(330)이나 소오스 전극 라인(350)은 서로 엇갈리게 형성된다. 관찰자 관점에서, 상기 소오스 전극 라인(350)은 상기 드레인 전극 라인(330)을 감싸는 형태로 형성된다.

<61> 구체적으로, 상기 드레인 전극 라인(330)은 바디-드레인 라인(332)과, 상기 바디-드레인 라인(332)으로부터 분기된 핸드-드레인 라인(334)과, 상기 핸드-드레인 라인(334)으로부터 분기된 평거-드레인 라인(336)으로 이루어진다. 상기 바디-및 핸드-드레인 라인(332)은 상기 게이트 전극 라인(310)이 미형성된 영역에 형성되고, 상기 평거-드레인 라인(336)은 상기 게이트 전극 라인(310)이 형성된 영역에 형성된다.

<62> 한편, 상기 소오스 전극 라인(350)은 바디-소오스 라인(352)과, 상기 바디-소오스 라인(352)으로부터 분기된 핸드-소오스 라인(354)과, 상기 핸드-소오스 라인(354)으로부터 분기된 평거-소오스 라인(356)으로 이루어진다. 상기 바디-소오스 라인(352), 핸드-소오스 라인(354) 및 평거-소오스 라인(356)은 상기 게이트 전극 라인(310)이 형성된 영역에 형성된다.



1020030013363

출력 일자: 2003/4/7

<63> 결과물에 의하면, 상기 평거-드레인 라인(336)은 게이트 전극 라인(310) 위에서 I자 형상을 정의하면서 형성되고, 상기 핸드-및 평거-소오스 라인(354, 356)은 상기 게이트 전극 라인(310) 위에서 U자 형상을 정의하면서 상기 평거-드레인 라인(336)을 에워싸는 형상으로 형성된다. 이처럼 형성된 a-Si 박막 트랜지스터의 채널길이(L)는 상기 평거-드레인 라인(336)의 최외측과 상기 평거-소오스 라인(356)의 최외측간의 거리이고, 채널폭(W)은 상기 핸드-및 평거-소오스 라인과 상기 평거-드레인 라인에 의해 정의되는 U자 형상의 평균 거리이다.

<64> 이상에서는 GATE IC-LESS 구조의 액정 표시 장치용 쉬프트 레지스터의 단위 스테이지에 구비되는 대용량의 풀업 트랜지스터를 하나의 일례로 설명하였으나, 상기 쉬프트 레지스터의 단위 스테이지에 구비되는 대용량의 풀다운 트랜지스터나 홀드 트랜지스터 등에도 동일하게 적용할 수 있다.

<65> 이처럼, 대용량의 a-Si 박막 트랜지스터를 형성하기 위해 평거-드레인 라인(336)이나 평거-소오스 라인(356)을 n개 형성하면  $n \times 4[\mu\text{m}]$ 에 해당하는 채널폭을 별도의 기생용량( $C_{gd}$ ) 증가없이 형성할 수 있다. 구체적으로, 각각의 짧은 평거 구조의 길이를 최소 디자인-룰인  $4[\mu\text{m}]$ 로 설계하면, 상기 평거-드레인 라인(336)의 외측 3면이 채널로 정의되어  $3 \times 4[\mu\text{m}]$  만큼의 채널을 형성한다. 이때 상기  $4[\mu\text{m}]$  만큼은 별도의 기생용량( $C_{gd}$ )과는 무관하게 되어 결과적으로 기생용량을 최소화할 수 있다.

<66> 또한, 작은 기생용량을 갖도록 설계된 대용량의 a-Si 박막 트랜지스터로 이루어지는 풀다운 트랜지스터를 쉬프트 레지스터에 형성하고, 상기 쉬프트 레지스터를 GATE IC-Less 구조의 액정 표시 패널의 게이트 드라이버 회로에 채용하므로써, 상기 쉬프트 레지스터의 파워 클럭(CK1 또는 CK2)과 연결되는 기생용량을 줄일 수 있다. 이에 따라,

상기 쉬프트 레지스터에 구비되는 홀드 트랜지스터의 열화에 의한 오동작 상황을 최소화 할 수 있으므로 신뢰성 높은 액정 표시 장치를 제공할 수 있다.

<67> 그러면, 하기하는 도 7a 내지 도 7c를 참조하여 기생 용량을 최소화하기 위한 a-Si 박막 트랜지스터의 제조 방법을 설명한다.

<68> 도 7a 내지 도 7c는 상기 도 6의 비정질-실리콘 박막 트랜지스터의 절단면도로서, 특히 도 7a는 C-C'으로 절단한 단면도이고, 도 7b는 D-D'로 절단한 단면도이며, 도 7c는 E-E'로 절단한 단면도이다.

<69> 도 7a 내지 도 7c에 도시한 바와 같이, 투명 기판(305) 위에 알루미늄을 포함하는 금속을 전면 증착한 후, 상기 알루미늄 금속층을 패터닝하여 저저항 게이트 전극 라인(310)을 형성한다. 물론 도면상에는 단일 금속층을 게이트 전극 라인으로 이용하는 것을 도시하였으나, 다중 금속층을 게이트 전극 라인으로 이용할 수도 있다. 상기 다중 금속 층을 이용하는 경우에는 상기 알루미늄 금속층의 위에 크롬이나 몰리브덴과 같은 금속을 더 증착시킨다.

<70> 이어, 상기 게이트 전극 라인(310)이 형성된 투명 기판(305) 위에 산화 실리콘 혹은 질화 실리콘과 같은 절연 물질을 전면 증착하고, 차례로 진성 반도체 물질과 불순물이 포함된 반도체 물질을 연속 증착한다.

<71> 이어, 상기 절연 물질, 진성 반도체 물질, 그리고 불순물이 첨가된 반도체 물질을 식각하여 게이트 절연막(315), 반도체 층(320) 및 불순물이 첨가된 반도체 층(325)을 형성한다. 그 결과, 상기 게이트 절연막(315)은 상기 게이트 전극 라인(310) 전체를 덮고



있고, 상기 반도체 층(320)과 불순물 반도체 층(325)은 상기 게이트 절연막(315)과 같은 형태로 상기 게이트 절연막(315) 위에 형성된다.

<72> 이어, 상기 반도체 층(320)과 상기 불순물 반도체 층(310)이 형성된 기판 위에 크롬이나 크롬 합금과 같은 금속층을 전면 증착한다.

<73> 이어, 상기 금속층을 패터닝하여 게이트 전극 라인(310) 위에서 I자 형상을 정의하는 드레인 전극 라인(330)과, U자 형상을 정의하는 소오스 전극 라인(350)을 형성한다.

<74> 구체적으로, 상기 드레인 전극 라인(330)을 바디-드레인 라인(332)과, 상기 바디-드레인 라인(332)으로부터 분기된 핸드-드레인 라인(334)과, 상기 핸드-드레인 라인(334)으로부터 분기된 평거-드레인 라인(336)으로 이루어지도록 패터닝하고, 상기 소오스 전극 라인(350)을 바디-소오스 라인(352)과, 상기 바디-소오스 라인(352)으로부터 분기된 핸드-소오스 라인(354)과, 상기 핸드-소오스 라인(354)으로부터 분기된 평거-소오스 라인(356)으로 이루어지도록 패터닝한다.

<75> 이때, 상기 바디-및 핸드-드레인 라인(332)은 상기 게이트 전극 라인(310)이 미형성된 영역에 형성되도록 패터닝하고, 상기 평거-드레인 라인(336)은 상기 게이트 전극 라인(310)이 형성된 영역에 형성되도록 패터닝한다. 또한, 상기 바디-소오스 라인(352), 핸드-소오스 라인(354) 및 평거-소오스 라인(356)은 상기 게이트 전극 라인(310)이 형성된 영역에 형성되도록 패터닝한다.

<76> 특히, 상기 드레인 전극 라인(330)으로부터 분기되는 상기 평거-드레인 라인(336)과 상기 소오스 전극 라인(350)으로부터 분기되는 상기 평거-소오스 라인(356)은 동일 평면상에서 서로 인접하도록 형성된다.



1020030013363

출력 일자: 2003/4/7

<77> 또한, 상기 드레인 전극 라인(330)과 상기 소오스 전극 라인(350)을 마스크로 계속 식각하여 상기 드레인 전극 라인(330)과 상기 소오스 전극 라인(350) 사이에 존재하는 상기 불순물 반도체층을 완전 분리한다.

<78> 이어, 상기 드레인 전극 라인(330)과 상기 소오스 전극 라인(350)들이 형성된 기판 전면에 질화 실리콘이나 산화 실리콘과 같은 절연 물질을 증착하여 보호막(345)을 형성 한다.

<79> 이상에서 설명한 도 6 내지 도 7c에서는 투명 기판 위에 게이트 전극 라인을 형성 한 후 상기 게이트 전극 라인 위에 드레인 전극 라인 및 소오스 전극 라인을 형성한 역 스태거형(Invetered Staggered Type)을 설명하였다. 하지만, 투명 기판 위에 드레인 전극 라인 및 소오스 전극 라인을 형성한 후 상기 드레인 전극 라인 및 소오스 전극 라인 위에 게이트 전극 라인을 형성한 스태거형(Staggered Type) 구조에도 동일하게 적용할 수 있다.

<80> 또한, 이상의 실시예들에서는 기생용량을 최소화하기 위한 a-Si 박막 트랜지스터만 을 도면상에 도시하였으나, 상기 a-Si 박막 트랜지스터를 채용하는 쉬프트 레지스터나 상기 쉬프트 레지스터를 게이트 드라이버로 이용하는 액정 표시 패널이나 액정 표시 장치에도 동일하게 적용할 수 있을 것이고, 이에 대한 설명은 생략한다.

<81> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【발명의 효과】**

- <82> 이상에서 설명한 바와 같이, 본 발명에 따르면 게이트 전극 라인 위에 U자 형상을 정의하는 소오스 전극 라인을 형성하고, 상기 소오스 전극 라인이 미형성된 영역에 I자 형상을 정의하는 드레인 전극 라인을 형성하여 비정질-실리콘 박막 트랜지스터를 구현하므로써, 최소화된 채널길이에서 채널폭을 최대화시킬 수 있고, 이에 따라 게이트 전극과 드레인 전극간의 기생용량을 최소화할 수 있다.
- <83> 또한, 본 발명에 따르면 상기한 비정질-실리콘 박막 트랜지스터로 구현되는 액정 표시 장치용 게이트 드라이버 회로에서 게이트 신호를 출력하는 풀업 트랜지스터의 드레인 전극 라인과 소오스 전극 라인을 평거 구조로 형성하므로써 채널폭을 매우 크게 할 수 있어, 기생용량을 최소화시킬 수 있다.

**【특허청구범위】****【청구항 1】**

기판;

상기 기판 위에 형성되어 일정 영역을 정의하는 제1 전극 영역;

상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 영역 위에 형성되며, U자 형상을 정의하는 제2 전극 라인; 및

상기 U자 형상의 제1 단부와 제2 단부를 연결하는 가상의 라인을 통해 폐루프를 정의할 때, 상기 제1 전극 라인 외측으로부터 신장되어 I자 형상을 정의하면서 상기 제1 전극 영역 위의 상기 폐루프 내측으로 삽입되는 형상으로 형성되는 제3 전극 라인을 포함하는 비정질-실리콘 박막 트랜지스터.

**【청구항 2】**

제1항에 있어서, 상기 제3 전극 라인은 상기 제2 전극 라인이 미형성된 영역에 형성되는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

**【청구항 3】**

제1항에 있어서, 상기 제1 전극 영역 위에 형성되는 상기 제2 전극 라인의 외측변과 상기 제3 전극 라인의 외측변과의 거리가 채널길이를 정의하고, 상기 제1 전극 영역 위에 형성되는 상기 제2 전극 라인의 외측변과 상기 제3 전극 라인의 외측변에 의해 형성된 영역의 평균거리가 채널폭을 정의하는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.



1020030013363

출력 일자: 2003/4/7

#### 【청구항 4】

기판;

상기 기판 위에 형성되어 일정 영역을 정의하는 제1 전극 영역;

상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 다수의 평거 형상으로 형성되는 제3 전극 라인; 및  
상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 상기 제3 전극 라인으로부터 이격되며, 다수의 평거 형상으로 형성되는 제2 전극 라인을 포함하는 비정질-실리콘 박막 트랜지스터.

#### 【청구항 5】

제4항에 있어서, 상기 제1 전극 영역은 말발굽 형상을 갖는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

#### 【청구항 6】

제4항에 있어서, 상기 제2 전극 라인은,  
상기 제1 전극 영역 외측으로부터 신장되는 바디-제2 전극 라인;  
상기 바디-제2 전극 라인으로부터 분기되는 핸드-제2 전극 라인; 및  
상기 핸드-제2 전극 라인으로부터 분기되는 평거-제2 전극 라인을 포함하는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

**【청구항 7】**

제6항에 있어서, 상기 바디-제2 전극 라인, 핸드-제2 전극 라인 및 평거-제2 전극 라인은 상기 제1 전극 라인이 형성된 영역에 형성되는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

**【청구항 8】**

제4항에 있어서, 상기 제3 전극 라인은,  
상기 제1 전극 영역 외측으로부터 신장되는 바디-제3 전극 라인;  
상기 바디-제3 전극 라인으로부터 분기되는 핸드-제3 전극 라인; 및  
상기 핸드-제3 전극 라인으로부터 분기되는 평거-제3 전극 라인을 포함하는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

**【청구항 9】**

제8항에 있어서, 상기 바디-제3 전극 라인과 핸드-제3 전극 라인은 상기 제1 전극 영역이 미형성된 영역에 형성되고,  
상기 평거-제3 전극 라인은 상기 제1 전극 영역 위에 형성되는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

**【청구항 10】**

제4항에 있어서, 상기 제2 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제2 전극 라인과, 상기 바디-제2 전극 라인으로부터 분기되는 핸드-제2 전극 라인과, 상기 핸드-제2 전극 라인으로부터 분기되는 평거-제2 전극 라인을 포함하고,



1020030013363

출력 일자: 2003/4/7

상기 제3 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제3 전극 라인과, 상기 바디-제3 전극 라인으로부터 분기되는 핸드-제3 전극 라인과, 상기 핸드-제3 전극 라인으로부터 분기되는 평거-제3 전극 라인을 포함하며,

상기 제1 전극 영역 위에 형성되는 상기 핸드-제3 전극 라인 및 평거-제3 전극 라인의 외측변과 상기 평거-제2 전극의 외측변과의 거리가 채널길이를 정의하는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

#### 【청구항 11】

제4항에 있어서, 상기 제2 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제2 전극 라인과, 상기 바디-제2 전극 라인으로부터 분기되는 핸드-제2 전극 라인과, 상기 핸드-제2 전극 라인으로부터 분기되는 평거-제2 전극 라인을 포함하고,

상기 제3 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제3 전극 라인과, 상기 바디-제3 전극 라인으로부터 분기되는 핸드-제3 전극 라인과, 상기 핸드-제3 전극 라인으로부터 분기되는 평거-제3 전극 라인을 포함하며,

상기 제1 전극 영역 위에 형성되는 상기 핸드-제3 전극 라인 및 평거-제3 전극 라인의 외측변과 상기 평거-제2 전극의 외측변에 의해 형성된 영역의 평균거리가 채널폭을 정의하는 것을 특징으로 하는 비정질-실리콘 박막 트랜지스터.

#### 【청구항 12】

복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 충전 시간을 줄이기 위한 제1 제어신호가 제공되고, 짹수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 충전 시간을 줄이기 위한 제2 제어신호가 제공되며,

상기 각 스테이지들은,

일정 영역을 정의하는 제1 전극 영역과, 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 다수의 평거 형상으로 형성되는 제3 전극 라인과, 상기 제1 전극 영역 외측으로부터 신장되어 상기 제1 전극 라인 위에서 상기 제3 전극 라인으로부터 이격되며, 다수의 평거 형상으로 형성되는 제2 전극 라인을 구비하여, 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 13】**

제12항에 있어서, 상기 제2 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제2 전극 라인과, 상기 바디-제2 전극 라인으로부터 분기되는 핸드-제2 전극 라인과, 상기 핸드-제2 전극 라인으로부터 분기되는 평거-제2 전극 라인을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 14】**

제13항에 있어서, 상기 제3 전극 라인은 상기 제1 전극 영역 외측으로부터 신장되는 바디-제3 전극 라인과, 상기 바디-제3 전극 라인으로부터 분기되는 핸드-제3 전극 라인과, 상기 핸드-제3 전극 라인으로부터 분기되는 평거-제3 전극 라인을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 15】**

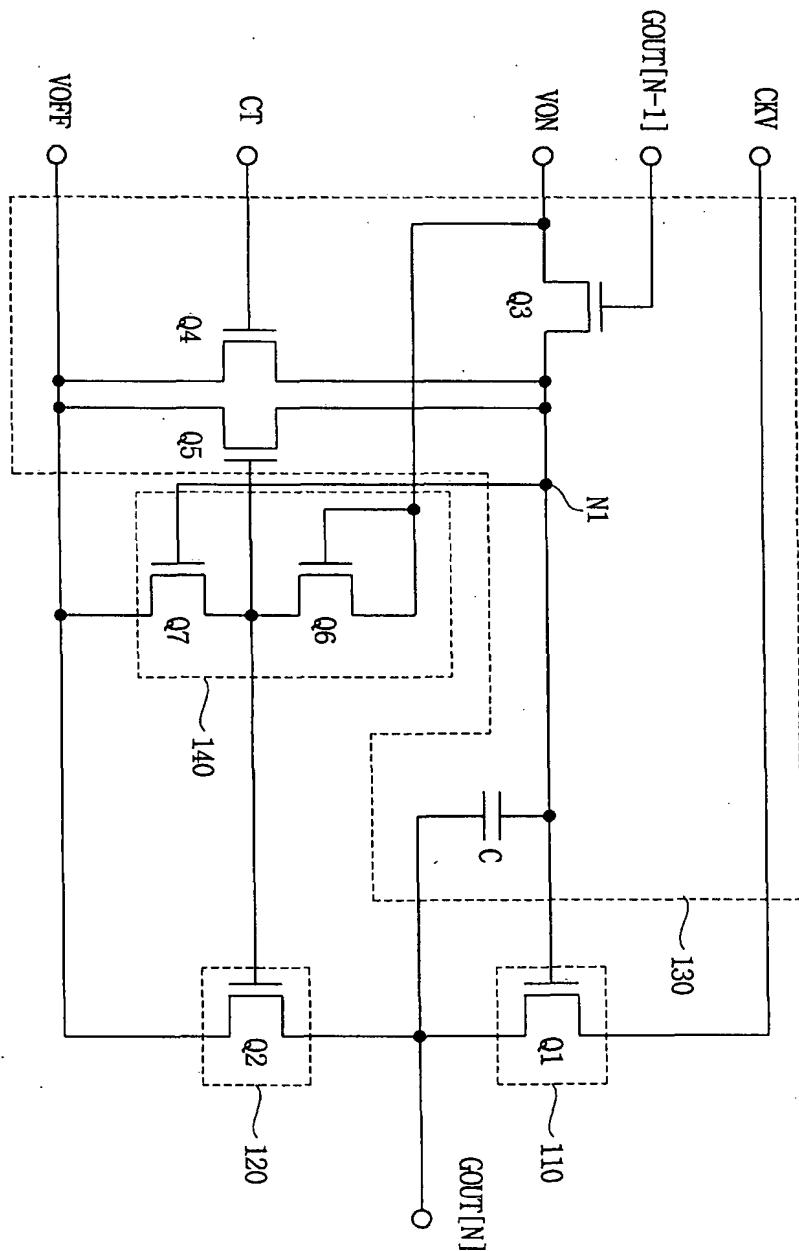
제14항에 있어서, 상기 제1 전극 영역 위에 형성되는 상기 핸드-제3 전극 라인 및 평거-제3 전극 라인의 외측변과 상기 평거-제2 전극의 외측변과의 거리가 채널길이를 정의하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 16】**

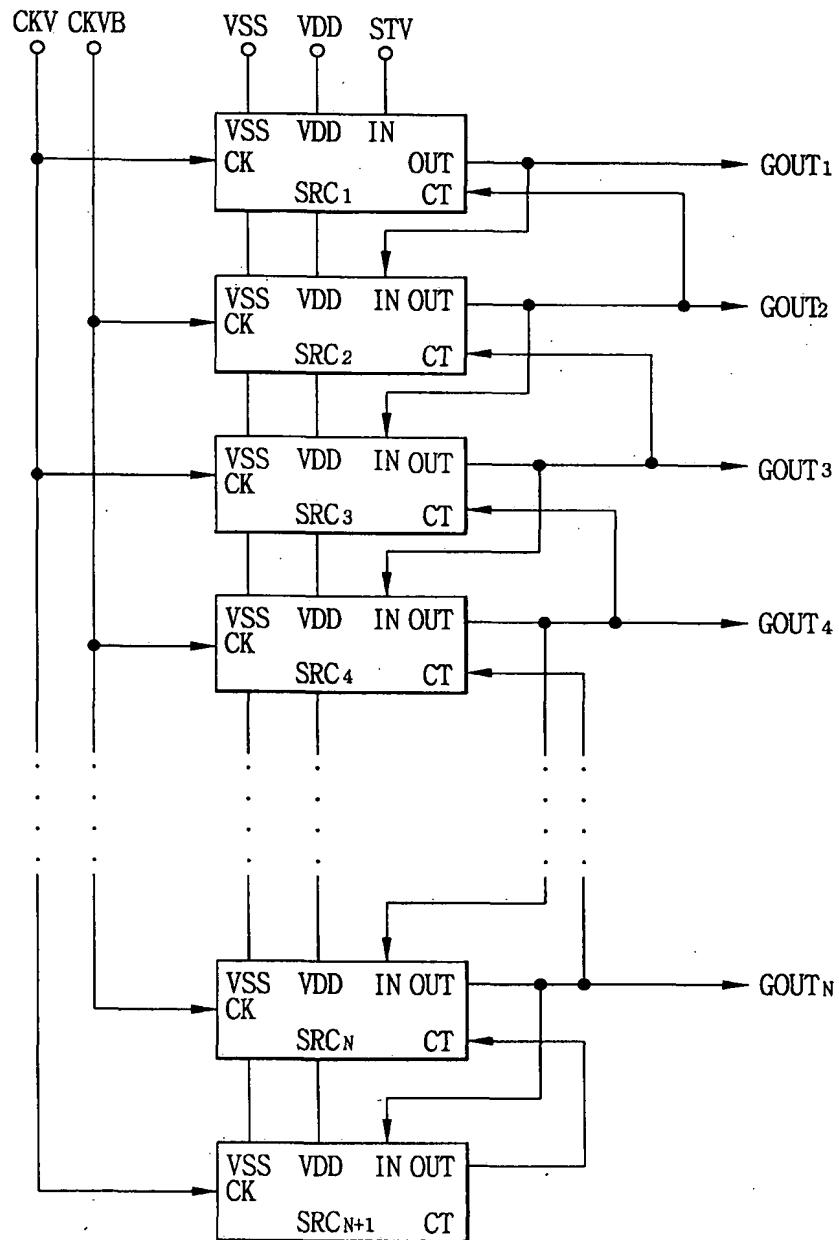
제14항에 있어서, 상기 제1 전극 영역 위에 형성되는 상기 핸드-제3 전극 라인 및 평거-제3 전극 라인의 외측변과 상기 평거-제2 전극의 외측변에 의해 형성된 영역의 평균거리가 채널폭을 정의하는 것을 특징으로 하는 쉬프트 레지스터.

【도면】

【도 1】



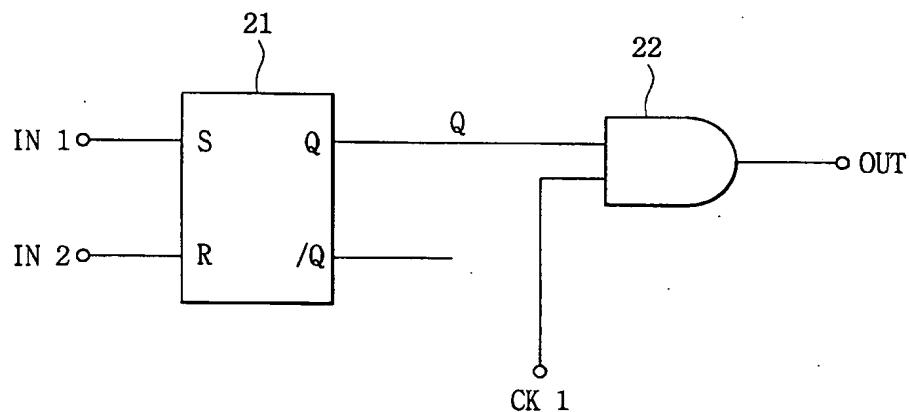
【도 2】



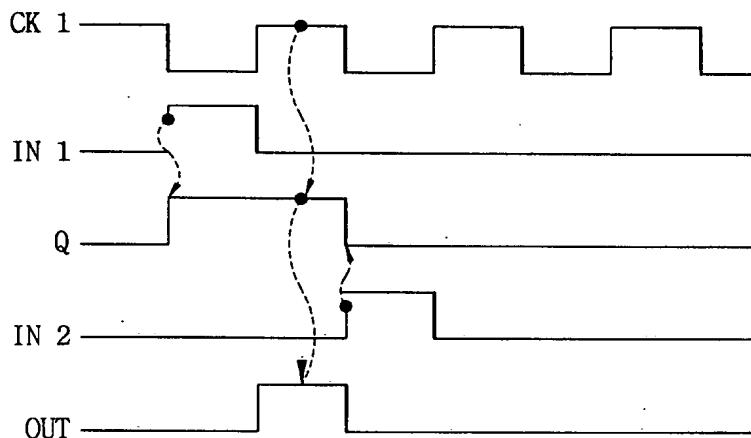
1020030013363

출력 일자: 2003/4/7

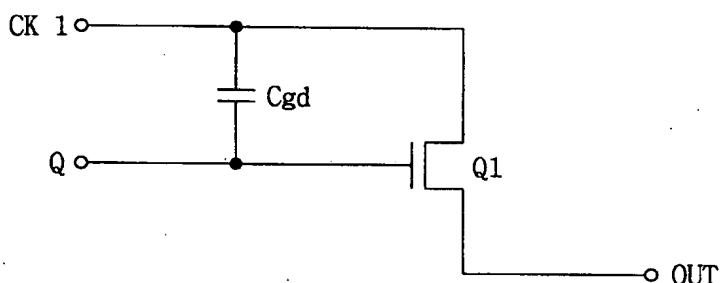
【도 3a】



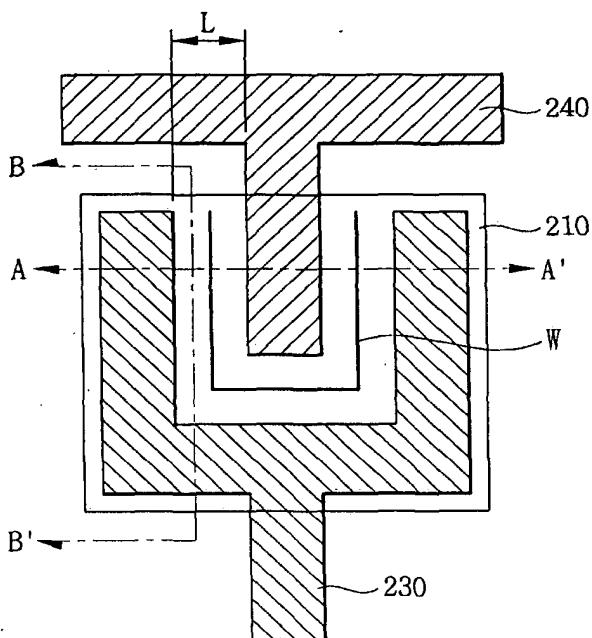
【도 3b】



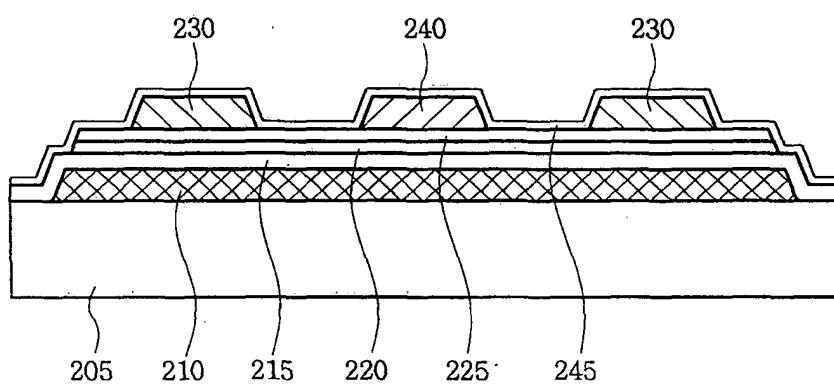
【도 3c】



【도 4】

200

【도 5a】

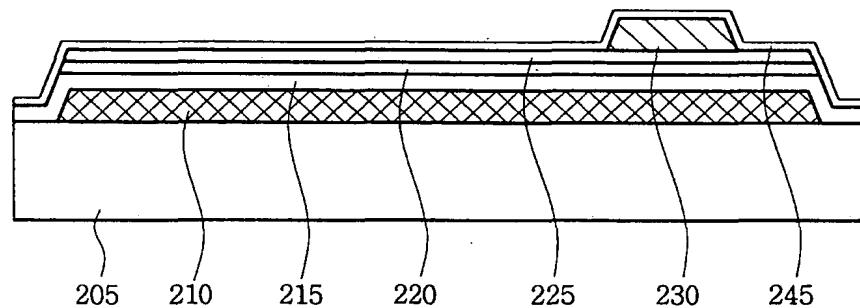
 $A-A'$ 

1020030013363

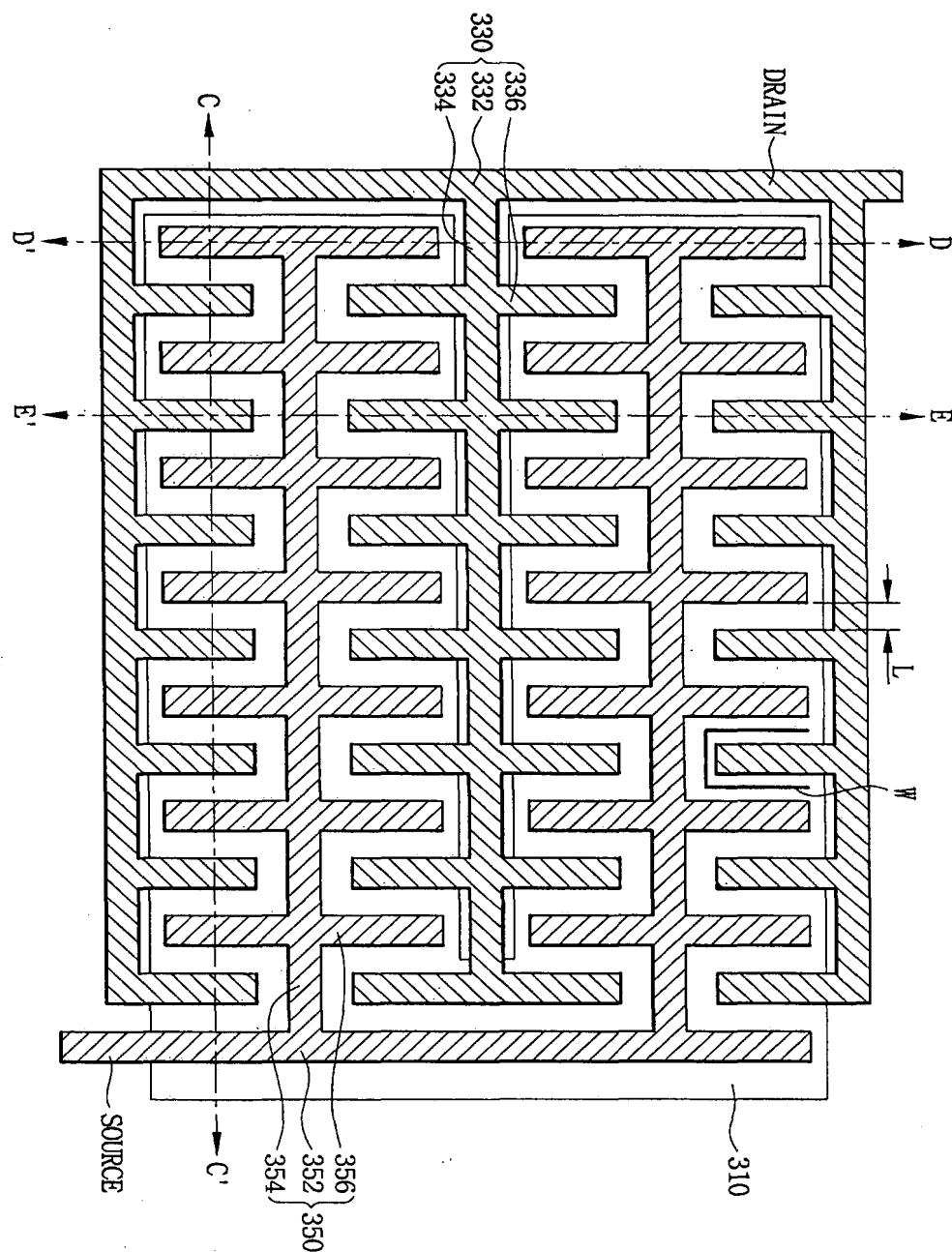
출력 일자: 2003/4/7

【도 5b】

B-B'



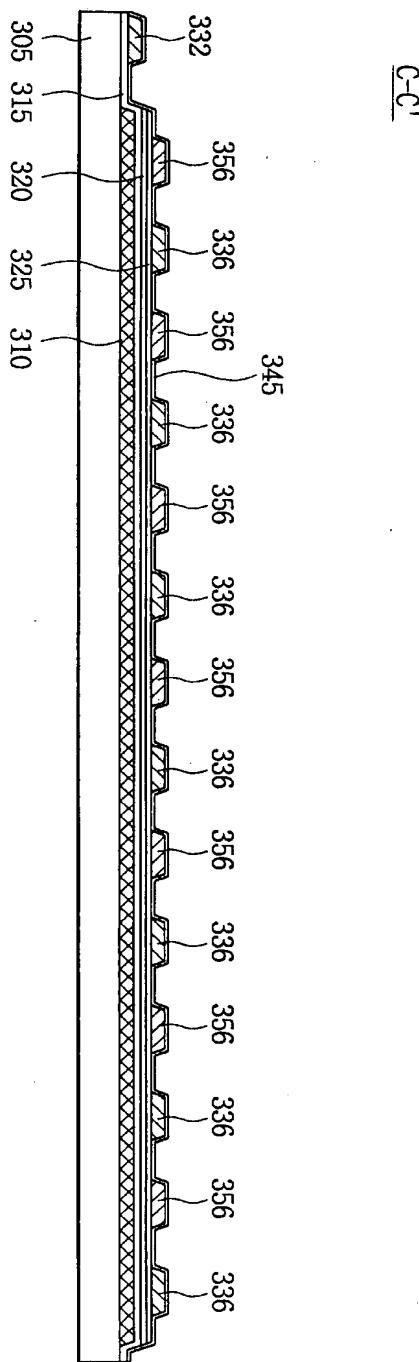
【도 6】



1020030013363

출력 일자: 2003/4/7

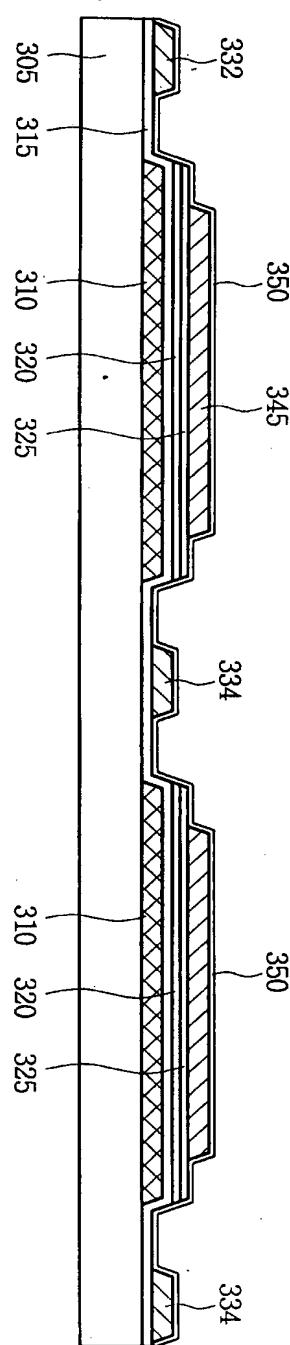
### 【도 7a】



1020030013363

출제 일자: 2003/4/7

【도 7b】



D-D'

1020030013363

출력 일자: 2003/4/7

【도 7c】

